B15-



PATENT ABSTRACTS OF JAPAN

(11) Publication number:

04-307974

(43) Date of publication of application: 30.10.1992

(51) Int. CI.

H01L 29/788 H01L 29/792

H01L 27/115

(21) Application number: 03-073239

(71) Applicant: SHARP CORP

(22) Date of filing:

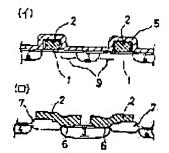
05. 04. 1991

(72) Inventor: YOSHIMI MASANORI

(54) ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites. CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 5 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write



sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.

I FGAL STATUS

[Date of request for examination] Date of sending the examiner's decision of rejection] [Kind of final disposal of application

other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本四特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-307974

(43)公開日 平成4年(1992)10月30日

(51) Int.CL* H 0 1 L	29/788 29/792 27/115	識別記号	庁内整理 者 号 8225-4M 8831-4M	FI	技術表示領		
				H01L	27/10	未請求	371 434 未請求 請求項の数1(全 4 頁)
(21) 出版番号		特膜平3-73239		(71)出版人	シヤープ株式会社 大阪府大阪市阿倍野区長池町20番22号		
(22) 出題日		平成3年(1991)4月5日		(72)発明者			
				(74)代理人	井理土	野河	借太郎

(54) 【発明の名称】 電気的消去可能不揮発性半等体記憶装置

(57)【耍約】

【目的】 ソースオフセットに選択ゲートを構成したEEPROMにおけるF-Nトンネリングによる消去を円滑化して、本子の縮小化を図る。

【構成】 1つのソースラインとその両例のドレインラインとで2つのEEPROMセルを構成し、各フローティングゲートの一方例をホットエレクトロンによる書き込み部位とし他方例をF-Nトンネリングによる一括消去部位として機能分離する。

音の南イーヤヤントデーロでムスーツ、0 よごか存む [7 1 0 0] イマサト木、おい合品のこ、でななしなし【8000】 *ダヤイコン されたなおすし 日清な街去が一番して行なわれる ..X* ・ペイルー3のされ間スーソブンれる知い無人キペイカホ ち端国川時両の製用スーソ 、ひぶいなち許多イセサで大

[0013]

[0 0 1 0 1

きょこるで開始多イーや界面コ土第イセサイトのこ。た 393イでナイヤン同のムイーヤセントデーロてムントで 【0007】そのため、EEPROMを構成するソース し、EEPROMの集積度が否しく低下する。

OS おご常円を去路のを一下、>無ご主体やくじキぐイドー

山鮮、地勝面許存のハナー いチトムされ 鉱プリ 立班タイー **や兇威、る水なしゆし【麻痺さすらさよし名弟は**伊辞】

[0000]

。さいてたけたけばしばしばもままれている。 陳都国土丁か合路タイーや兇艦、ぬかのこ【2000】

GWB. スさすかくEでーリアトテ体パナリチャナン主体去所良

まだしばし、だけを構造する特色はよけだくい本くイバー 【0004】 しかしながら、このようにソース何よりを ・るけれな行れ去的るよコと

くりネくイバーヨの土間スーソ、パはな行為を必ち書る とこれなりては、ドレイン個よりホットエレクトロンによ を有さない、いわゆる初類のスタックゲートEEPRO 30 (イーヤンモンセンサ) イーや発展アンチ [8000]

。らいてし出げるそ

及き書\去酢さよコとくリネくイ (misdbiok-nslwof) N-3中本公告書るよコンロイセンエイでホ ,しすき イーヤセントデーロでるゆけいされずい、ひお丁れる政 体記録推歴(EEFROM)として確々の構造のものな 幕半卦発對不識而去前的是實 ,已心来觉【谢敖の来勤】 [0000]

· 9 4 M

群しくは、高無種化に適したEEPROMの素子構造に 20 軒不鉛で去前的及声、幻門祭のご【理代用呼の土衆選】

発作未集体記録発展(EEPROM)に関する。 さらに [1000]

よら悪丁ノ直共き土イでサワヤス一いひ刃が乱れぶき音

マーンマントボーロへの状一は土、なイーアンニーロー

よるちのさるす よでより投資を重要さずる語で多去的さよコヤくじれて したEEPROMにおいても、ソース組からのF-Nト **気料タイーや発展ご路イセサマ木勝スーいごろこ 、0 &** 丁のき六たち六下路状る仏仏、幻障祭のこ【6000】 、、たらなな合体不らす不動な針件の

のコブバビ基コ門直攻す示コ面図付選 、不以【門直攻】

スーン対プいおコ商去所ر基スーン、九一【8100】

れらな行体を必当者な常円ヶ谷、 ゆかされらな行る 日本

ントレス さいない かまり マサフト 女人 大力 ストレス はっちょう マンド 一つかくし いかつれることする一て発展ネイーやベー

ロインにの土イセサで木のこのお丁北古泉海なイセサで

たスーソ 、おブいなコ語を込き書権国くトイド 【用計】

。るる下のさごご覧を項手さいろるで放射さが耐ぐ込き

字の校一丁付焼きイベサで木スーV、ゴブ勝が結ぶ返さ書

、一つ本のとのは、このをは、これのは、これを表して、 なっころけ婚多イでサマネスーンゴケ関が御去路、 れ代

コカ帝去称とか部々込き書い的選挙タイーヤヤントデー

ロマ、ノンでを発発変異転送土 お伊奈のご【1100】

典数な園芸堂品料等牛卦菸革不識に去間的設置るな丁げ ち雪国コミよと野アノ西共会土イベサマヤスーペン及立

帝や公さ書のイードセントモーロての校一届土、ガイー

第成する利夫倍化、を有してなり、上記コントロールゲ

多品去称値型スーソのCーブリ量がコ土臭小量ルキベイ

スパミ国はJB両スーマッ各(d) 、4. 公政語を及告書る

で因為多部の広告書機関くトリイの技一丁し置かコ土津

房イーYSELTJれタイセサてたスーソッ合(B) 、次

イーヤヤントモーロて各の技一店工、大計タイーヤバー

ロイベにられち雪屋コ土イーヤヤベトモーロでのこび近

イーヤヤントモーロての女一されら置足コ土が第イーヤ

のこ 津田イーやの校一さげち安建丁間のさけこび返算

高くトイドの状ーされち電温可能両の子と参考スー化制

パルコ伊民のコブリン体【街手のめぶるす名祭多庭屋】

公当者、Cなう悪心準備主張のくロイセンエイマホ、対 コ合品のコ、なるる水気込むヤコゆごうかまれートでロ て恵品の合むにトレイドはコペガの子、 れち永遠ならこる で兵士多五指合強ペトリイングで北部多数最々一いご的 は比較的高電圧を印加する必要が生じる。従って、必然 くトイド、おコる大力金をおける、体るれる大きさらこる **で用呼ぶやくじ木くイN-3の同イーヤやくトモーロス** ムントレイス ・合体のこ 、大主 、べいかかきないところか 【伊切な羅莉の伊発】

製品本菓半卦発料不能に去析的及算されて水ち量品いさ

I

くに富士 ,のカブし背多 , 少部去捨るも魚輪を臨去所健 01 海スーソのC一丁J置かコ土郊小畑小キンイボホち量塔 SP であるする をと込み部を込ま書るである。 **そ込き各債期ベトリドの枚一丁し置かコ土津第十一や品 土丁しれぎイセサビヤスーマネ各(A) , オイーヤやく** トデーロで各の核一品土 、大路タイーやボーロインにあ **ホち雪屋コエィーヤセントモーロてのこび返ィーヤセン** トモーロての技一される最品コエが増イーやのこ 、東京 イーやの技一されち宝珠で同のされこび及財財ベトレド の校一されち雪温コ酵詞の子と常聞スーツ 【1 更永僧】 【囲跡の朱龍清寺】

発明を辞載する。

【0015】図1は、この発明の一尖旋例のEEPRO Mを示す平面構成説明図であり、図2(イ)は、図1の A-A 鎮斯面説明図、図2(ロ)は同じくB-B 義

【0016】これらの図に示すように、この発明のP.P. PROMは、シリコン基板表面のソースライン3とその 両側に配置される一対のドレインライン4、4との間の ゲート領域上に、絶縁膜を介してポリシリコンからなる 1対のし字状フローティングゲート2を配設してなり、 さらに、このフローティングゲート2上に層間絶縁膜を 介して、共通するポリシリコンからなるコントロールゲ ート5を配設してなる。

【0017】上記フローティングゲート2は、図2 (イ) に示すように、A-A' 断面においては、ソース オフセット9を保ってゲート領域のゲート酸化膜1、1 上に位置する一対の書き込み部位(狭幅部分)を有す る。ここでソースードレイン幅は1.6~2.0μm、ソ ースオフセットは0.8~1.0μmとするのが遠してい る。かかる書き込み部位上のコントロールゲート5は、 各々のソースオフセット上で選択ゲートとしても機能す る.

【0018】一方、図2(ロ)に示すように、B-B' 断面においては、ソースライン3の質傷に配置されたト ンネル酸化酸6上を被覆する消去部位(広幅部分)を有 してなる。なお、図中、7は、ロコス酸化酸からなる素 子分離領域である。

【0019】かかる構造のEEPROMにおいては、上 記一対の書き込み部位において、各々ドレイン傾からフ ローティングゲートへのホットエレクトロンの往入によ 30 る書き込みが行なわれる。 そして、消去部位において は、ソース側から両フローティングゲート2、2へ一括 してF-Nトンネリングによる硝去が行なわれることと なる。そして、上記ホットエレクトロンの往入及びFー Nトンネリングがコントロールゲートを選択ゲートとし て制御されることとなる。

【0020】かかる図1のEEPROMは、例えば以下 のようにして作製することができる。まず、図3に示す ように、シリコン基板の所定の領域にロコス酸化法によ り、祟子分離領域7を形成した後、メモリーセルのソー ス構成ラインのイオン注入及び配案のイオン注入を行っ てDDD構造のソースラインを形成する。 表面を熱酸化 に付して全面に何えば200~300人程度のゲート酸 化膜1を形成し、フォトリソグラフィのパターニング及 びエッチングを行なうことにより、その一部にトンネル 酸化膜用窓を形成し、フォトレジストの除去後、熱腫化 を行なうことにより、各々、一対のトンネル酸化膜6を 形成する。

【0021】次に、CVD法により全面にポリシリコン を堆積し、N型不純物拡散してフォトエッチングするこ 50 9 ソースオフセット

とにより、図5に示すように、各々狭幅領域と広幅領域 を有する一対の几字状フローティングゲート2を形成す る。

【0022】上記フローティングゲート2の形成後、図 6に示されるようにフォトレジスト8を用いたフォトリー ソグラフィにより、メモリーセルのドレイン構成ライン に砒素をイオン住入してドレインラインを形成する。

【0023】この後、フローティングゲート2の書き込 み部位上に各々CVDによる層間絶縁膜(SiOs)を 10 被覆形成した後、ポリシリコンの堆積層へのN型不純物 拡散並びに堆積層のフォトリソグラフィによるパターニ ング及びエッチングを行なうことにより、図7に示すご とく、コントロールゲート5を形成してこの発明のEE PROMが得られる。

[0024]

【発明の効果】以上の様に、この発明のEEPROMに よれば、ソース側のオフセット部を選択ゲートとする場 合においても、ソース側より円滑に消去操作できるの で、独立して消去用ゲートを設ける場合と比べメモリー セル専有面積が著しく減少され、さらなるEEPROM の高集積化を図ることが可能となる。

【0025】さらに、ホットエレクトロン発生効率の良 いドレイン接合及び、消去用の高電圧においてもリーク 電流の少ない、ソース接合を別々に最適化できる。従っ て、ドレイン個よりホットエレクトロンにより書き込 み、ソース個よりF-Nトンネリングにより消去する電 気的消去可能不揮発性半導体配性装置の製造の観点から も、その設計がより容易となり、製造工程も容易となる 利点も得られる。

【図面の簡単な説明】

【図1】この発明の一実施例のEEPROMの平面構成 説明図である。

【図2】(イ)は、図1のA-A、線断面説明図、 (ロ)は、B-B'線斯面説明図である。

【図3】図1のEEPROMの製造工程を示すレイアウ

【図4】図3に続くレイアウト図である。

【図5】図4に絞くレイアウト図である。

【図6】図5に絞くレイアウト図である。

【四7】図6に絞くレイアウト図である。 【符号の説明】

- 1 ゲート酸化酸
- 2 フローティングゲート
- 3 ソースライン
- ドレインライン
- コントロールゲート
- トンネル酸化膜
- 素子分離領域
- 8 フォトレジスト

